

First Hit

L9: Entry 7 of 36

File: JPAB

Jan 14, 2000

PUB-NO: JP02000010759A

DOCUMENT-IDENTIFIER: JP 2000010759 A

TITLE: METHOD AND DEVICE FOR DATA TRANSFER CONTROL AND ROTATING STORAGE DEVICE

PUBN-DATE: January 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
ABE, SEIICHI	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	

APPL-NO: JP10178238

APPL-DATE: June 25, 1998

INT-CL (IPC): G06 F 5/06; G06 F 12/06

ABSTRACT:

PROBLEM TO BE SOLVED: To increase the transfer speed of data transfer passing a buffer memory.

SOLUTION: With respect to transfer of a continuous data range 23 by a buffer memory control circuit 1 consisting of a FIFO memory part 13 for host interface, a FIFO memory part 14 for disc drive, a memory control circuit 11 for control of data transfer between a synchronous DRAM 2 as the buffer memory and FIFO memory parts 13 and 14, and a DMA controller 12, address mapping of the synchronous DRAM 2 is so set that the data access from the FIFO memory part 13 for host interface and that from the FIFO memory part 14 for disc drive may be performed in a burst transfer unit 22 which is a multiple of 2 of a burst transfer number 21 of the synchronous DRAM 2, and such control is performed that first unit data of the burst transfer unit 22 and last unit data may be in different banks 0 and 1.

COPYRIGHT: (C)2000, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-10759

(P2000-10759A)

(43)公開日 平成12年1月14日(2000.1.14)

(51)Int.Cl'

G 0 6 F 5/06
12/06

識別記号

5 4 0

F I

G 0 6 F 5/06
12/06

テ-マコ-ト(参考)

Z 5 B 0 6 0
5 4 0 C

審査請求 未請求 請求項の数 3 OL (全 8 頁)

(21)出願番号 特願平10-178238

(22)出願日 平成10年6月25日(1998.6.25)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 阿部 誠一

神奈川県小田原市国府津2880番地 株式会
社日立製作所ストレージシステム事業部内

(74)代理人 100080001

弁理士 筒井 大和

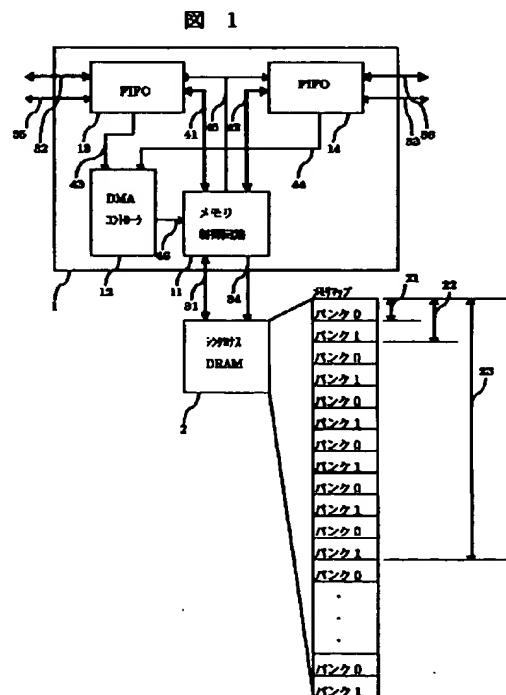
F ターム(参考) 5B060 CA03 CA17 HA00

(54)【発明の名称】 データ転送制御方法およびデータ転送制御装置ならびに回転型記憶装置

(57)【要約】

【課題】 バッファメモリを経由するデータ転送の転送速度を向上させる。

【解決手段】 上位インターフェース用のFIFOメモリ部13と、デスクドライブ用のFIFOメモリ部14と、バッファメモリとしてのシンクロナスDRAM2とFIFOメモリ部13および14との間におけるデータ転送を制御するメモリ制御回路11およびDMAコントローラ12からなるバッファメモリ制御回路1による連続データ範囲23の転送において、上位インターフェース側のFIFOメモリ部13からのデータアクセスと、ディスクドライブ側のFIFOメモリ部14からのデータアクセスが、シンクロナスDRAM2のバースト転送数21の2の倍数であるバースト転送単位22で行われるようにシンクロナスDRAM2のアドレスマッピングを設定して、バースト転送単位22の最初の単位データと最後の単位データとが異なるバンク0およびバンク1になるように制御する。



【特許請求の範囲】

【請求項1】複数のバンクからなるバッファメモリを経由してデータ転送を行うデータ転送制御方法であつて、

複数の単位データからなる連続データの前記バッファメモリに対する書き込みおよび前記バッファメモリからの前記連続データの読み出しを交互に実行するとき、前記連続データを構成する最初の前記単位データと最後の前記単位データとが異なる前記バンクに存在するように制御することを特徴とするデータ転送制御方法。

【請求項2】複数の単位データからなる連続データのバッファメモリに対する書き込みおよび前記バッファメモリからの前記連続データの読み出しを交互に実行することで、複数のバンクからなる前記バッファメモリを経由してデータ転送を行うデータ転送制御装置であつて、前記連続データを構成する最初の前記単位データと最後の前記単位データとが異なる前記バンクに存在するように前記バッファメモリに対する前記単位データのマッピングを行う制御機能を備えたことを特徴とするデータ転送制御装置。

【請求項3】外部装置との間で授受されるデータが格納される回転型記憶媒体と、複数のバンクからなり前記データが一時的に格納されるバッファメモリと、前記バッファメモリを経由した前記外部装置と前記回転型記憶媒体との間における前記データの転送操作を制御するデータ転送制御手段と、を含む回転型記憶装置であつて、前記データ転送制御手段は、複数の単位データからなる連続データの前記バッファメモリに対する書き込みおよび前記バッファメモリからの前記連続データの読み出しを交互に実行するとき、前記連続データを構成する最初の前記単位データと最後の前記単位データとが異なる前記バンクに存在するように前記バッファメモリに対する前記単位データのマッピングを行う制御機能を備えたことを特徴とする回転型記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ転送制御技術および回転型記憶技術に関し、特に、バッファメモリを経由したデータ転送技術、より詳細には、たとえば高速インタフェースに接続される磁気ディスク記憶装置等の回転型記憶装置に備えられたバッファメモリのように、複数の連続データの高速アクセスが必要とされる技術分野に適用して有効な技術に関する。

【0002】

【従来の技術】従来、シンクロナスDRAM等のアクセスを高速化する方法として、複数の連続データを異なるバンクに入れて高速化する方法が採られており、たとえば、特開平9-223066号公報の技術では、主記憶をシンクロナスDRAMで構成するとともに、ディレクトリとメモリブロックとを異なるバンクに割り当てるこ

とにより、主記憶のアクセスの高速化を実現しようとしている。

【0003】

【発明が解決しようとする課題】しかしながら、上述の従来技術では、磁気ディスク記憶装置等に備えられるバッファメモリの様に、上位装置に接続される上位インターフェースからのデータをバッファメモリに書き込み、そのデータを読み出してディスクドライブへ送る、または、ディスクドライブからのデータをバッファメモリへ書き込み、そのデータを上位インターフェースへ送る等のデータ転送操作のように、同一メモリ領域に対して、複数の連続データをアクセスする場合は、連続データが同一バンクとなり高速化できない、という技術的課題があつた。

【0004】特に、最近では、磁気ディスク等の媒体におけるデータ記録密度の向上や、ファイバチャネル等に代表される高速な上位インターフェースの出現等により、媒体ドライブと上位インターフェースとの間におけるデータ転送速度は一層の高速化が要求されてきており、バッファメモリのアクセス性能の良否が装置性能に大きく影響するようになってきている。

【0005】本発明の目的は、バッファメモリを経由したデータ転送の高速化を実現することが可能なデータ転送制御技術を提供することにある。

【0006】本発明の他の目的は、同一メモリ領域にある複数の単位データからなる連続データのアクセスの高速化により、バッファメモリを経由したデータ転送の高速化を実現することが可能なデータ転送制御技術を提供することにある。

【0007】本発明の他の目的は、バッファメモリを備えた回転型記憶装置におけるデータ転送の高速化を実現することが可能な回転型記憶技術を提供することにある。

【0008】本発明の他の目的は、バッファメモリを備えた回転型記憶装置において、回転型記憶媒体のデータ記録密度の向上に応じたデータ転送の高速化を実現することが可能な回転型記憶技術を提供することにある。

【0009】本発明の他の目的は、バッファメモリを備えた回転型記憶装置において、外部インターフェースの高速化に応じたデータ転送の高速化を実現することが可能な回転型記憶技術を提供することにある。

【0010】

【課題を解決するための手段】本発明では、複数のバンクからなるバッファメモリを経由して、複数の単位データからなる連続データを転送する場合に、バースト転送単位の連続データが複数の異なるバンクに跨る転送とし、各バースト転送の最初の単位データと最後の単位データとが異なるバンクになる様に制御する。これにより、たとえばシンクロナスDRAMで同一領域の複数の連続データを高速にアクセスが可能なバッファメモリ制

御が実現できる。

【0011】すなわち、本発明では、複数の単位データからなる連続データのバッファメモリに対する書き込みアクセス／読み出しアクセスを交互に反復することでバッファメモリを経由したデータ転送を行うバッファメモリ制御において、該アクセスにおける各バーストアクセスの最初のバンクと、最後のバンクが異なる様に制御するものである。

【0012】また、シンクロナスDRAMからなるバッファメモリを制御する場合に、該シンクロナスDRAMのバースト転送単位でバンクが異なる様にメモリのアドレスをマッピングするものである。

【0013】この場合、複数の連続データを交互にアクセスする場合に、各バーストアクセスをシンクロナスDRAMのバースト転送長の2の倍数単位で転送するものである。

【0014】また、バースト転送の最初の単位データが常に同一バンクになる様に制御してもよい。

【0015】また、転送の最初の単位データが偶数バンクで最後の単位データが奇数バンクになるように制御してもよい。

【0016】また、以前の連続データの長さが各バンクのバースト転送単位の和よりも短い場合に、終端側のバンクの残りの領域を飛ばすことにより、連続データの最初の単位データが常に同一バンクになる様に制御することができる。

【0017】また、連続データの長さが、各バンクのバースト転送単位の和に納まらず、連続データの最初の単位データが同一バンクにならない場合に、次のバースト転送の最初の単位データが、同一バンクになる様に先頭側の端数部分の単位データを最初に別バンクに転送するように制御することができる。

【0018】また、連続データの最初の単位データが常に偶数バンクになる様に制御することができる。また、連続データの最初の単位データが偶数バンクでない場合に、次のバースト転送の最初のいくつかの単位データを別個のバースト転送として奇数バンクに転送し、残りの連続データの最初の単位データが偶数バンクになる様なバッファメモリ制御を行うことができる。

【0019】また、ハードディスク等の回転型記憶媒体に格納され、上位装置との間で授受されるデータを一時保管するバッファメモリを備えた回転型記憶装置において、バッファメモリを複数バンクからなる構成とし、バッファメモリに対する上位インターフェースからのアクセスと、媒体ドライブからのアクセスとを交互に実行することでバッファメモリを経由したデータ転送を行うとき、複数の単位データからなる連続データのバースト転送において、連続データの最初の単位データと最後の単位データとが異なるバンクになるようなバッファメモリ制御を行うものである。

10

【0020】この回転型記憶装置の場合、バッファメモリとしてシンクロナスDRAMを使用する場合、このシンクロナスDRAMのバースト転送長に相当する単位データ数ごとに同一バンクに格納されるようにバッファメモリのアドレスマップを設定するとともに、連続データのサイズは、このシンクロナスDRAMのバースト転送長の2の倍数単位となるように制御することで、連続データの最初の単位データと最後の単位データとが異なるバンクになるように制御するものである。

【0021】また、この回転型記憶装置の場合、シンクロナスDRAMのバースト転送長の2の倍数の容量のFIFOメモリを、バッファメモリと上位インターフェースとの間、およびバッファメモリと媒体ドライブとの間に設けることができる。

【0022】

【発明の実施の形態】以下、本発明の実施形態を図面を参照しながら詳細に説明する。

【0023】図1は、本発明のデータ転送制御方法および装置の一実施形態であるディスクバッファメモリ部の構成の一例を示すブロック図であり、図2および図3は、その作用の一例を示す概念図、図6は、本発明の回転型記憶装置の一実施の形態である磁気ディスク記憶装置の構成の一例を示す概念図である。

【0024】本実施の形態のディスクバッファメモリ部は、バッファメモリ制御回路1とバッファメモリとして機能するシンクロナスDRAM2で構成される。また、バッファメモリ制御回路1は、ディスクインターフェース側に設けられたFIFOメモリ及びその制御回路からなるFIFOメモリ部13と、ディスクドライブ側に設けられたFIFOメモリ及びその制御回路からなるFIFOメモリ部14と、FIFOメモリ部13および14とシンクロナスDRAM2との間のデータ転送を制御するメモリ制御回路11と、FIFOメモリ部13および14とメモリ制御回路11との間におけるデータ転送を制御するDMAコントローラ12とから構成される。

【0025】また、図6に例示されるように、本実施の形態の磁気ディスク記憶装置100は、ヘッドディスクアセンブリと制御基板とからなる。

【0026】ヘッドディスクアセンブリは、回転型記憶媒体として機能し、図示しない複数のトラックが同心円状に配置された磁気ディスク101と、この磁気ディスク101を回転駆動するスピンドルモータ102と、磁気ディスク101に対するデータの記録／再生動作を行うヘッド103と、このヘッド103の磁気ディスク101の径方向における位置決めを制御するポイスコイルモータ等からなるアクチュエータ104と、ヘッド103を電気的に駆動するR/Wアンプ105と、を含んでいる。

【0027】また、制御基板は、R/Wアンプ105に接続され、記録／再生信号やサーボ信号等の処理を行う

50

R/WチャネルLSI106、ホストコンピュータ等の上位装置との間におけるインタフェース制御を行うインターフェース制御部107、全体の制御を行うマイクロコンピュータ108、サーボ制御論理109、アクチュエータ104およびスピンドルモータ102を駆動制御するモータドライバ110等で構成されている。

【0028】R/WチャネルLSI106は、たとえばPRML等の記録/再生信号の信号処理、サーボ信号の復調等の処理を行う。

【0029】マイクロコンピュータ108は、R/WチャネルLSI106から得られるサーボ信号に基づいて、サーボ制御論理109、アクチュエータ104およびモータドライバ110を制御することにより、ヘッド103を磁気ディスク101上の任意のトラックへ移動させるシーク動作、特定のトラックにヘッド103を追従させるフォロイング動作等を行う。

【0030】インタフェース制御部107は、媒体である磁気ディスク101のフォーマットや、磁気ディスク101に記録/再生されるデータのエラー訂正処理を行うハードディスクコントローラ107a、ホストコンピュータ等の上位装置との間における汎用のSCSIやFC等のインタフェース制御を行う上位インターフェース制御部107b、ハードディスクコントローラ107aと上位インターフェース制御部107bとの間におけるバッファメモリ111を介したデータ転送制御を行うバッファコントローラ107c、等で構成されている。

【0031】また、ヘッドディスクアセンブリと制御基板との間は、フレキシブル・プリント・ケーブル112(FPC)等にて接続されている。

【0032】そして、本実施の形態の場合、このバッファコントローラ107cとして、図1に例示されたバッファメモリ制御回路1を用い、バッファメモリ111として、図1に例示されるシンクロナスDRAM2を用いることにより、後述のようなデータ転送制御動作により、ハードディスクコントローラ107a(ディスクドライブ側)と上位インターフェース制御部107b(上位装置側)との間におけるデータ転送性能を向上させる。

【0033】以下、本実施の形態の作用の一例について説明する。

【0034】まず、上位装置側からディスクドライブへデータを書き込む場合、すなわち、上位インターフェース制御部107bの側からハードディスクコントローラ107aの側にデータ転送を行う場合の動作について説明する。

【0035】上位インターフェース制御部107b側のデータバス32のデータを上位インターフェース側制御バス35でFIFOメモリ部13へ書き込む。データが書き込まれるとFIFOメモリ部13は、上位インターフェース制御部107b側のFIFOメモリ部13のステータス信号43にFIFOメモリ書き込み量の情報を出力す

る。そして、上位インターフェース制御部107bのステータス信号43のFIFOメモリ書き込み量が、メモリ制御回路11のバースト転送単位22より多くなるとDMAコントローラ12は、DMAアドレス・制御バス46に書き込み起動情報を出力する。

【0036】この書き込み起動情報により、メモリ制御回路11は、FIFOメモリデータ制御バス45にFIFOメモリ部13の読み出し信号を出して、FIFOデータバス41からシンクロナスDRAM2への書き込み

10 データを読み出し、メモリデータバス31へ当該データを出力すると同時にメモリアドレス・制御バス34にシンクロナスDRAM2に書き込むためのコマンドを出力し、当該シンクロナスDRAM2へ書き込む。

【0037】この動作を繰り返し、設定したデータ量より多くシンクロナスDRAM2に書き込まれるとDMAコントローラ12は、ディスクドライブ(ハードディスクコントローラ107a)側のFIFOメモリ部14のステータス信号44にてメモリ制御回路11のバースト転送単位22だけ当該FIFOメモリ部14に空きがあることを確認し、DMAアドレス・制御バス46に読み出し起動情報を出力する。

【0038】この読み出し起動情報によりメモリ制御回路11は、メモリアドレス・制御バス34にシンクロナスDRAM2にデータを読み出すためのコマンドを出力してメモリデータバス31からFIFOメモリ部14へ書き込むデータを読み出し、FIFOメモリ部14のデータバス42へ出力すると同時にFIFOメモリデータ制御バス45にFIFOメモリ部14の書き込み信号を出力し、FIFOメモリ部14に書き込む。

【0039】そして、ディスクドライブ側のハードディスクコントローラ107aが動作するとFIFOメモリ部14はディスクドライブ側制御バス33の信号でデータバス36にFIFOメモリ部14のデータを出力する。その後は、バッファメモリ111(シンクロナスDRAM2)への上位インターフェース制御部107b側のFIFOメモリ部13からの書き込みと、ディスクドライブ(ハードディスクコントローラ107a)側のFIFOメモリ部14への読み出しが交互に繰り返され、上位装置側から到來するデータの磁気ディスク101への書き込み動作が行われる。

【0040】また、磁気ディスク101から上位装置(上位インターフェース制御部107b)側への読み出し動作は、上述の書き込みとは逆に動作し、ディスクドライブ側のFIFOメモリ部14からのシンクロナスDRAM2への書き込みと、上位インターフェース制御部107bの側のFIFOメモリ部13への読み出しが交互に繰り返され、これにより磁気ディスク101から上位装置へのデータ読み出し動作が行われる。

【0041】このバッファメモリ111(シンクロナスDRAM2)への書き込みと読み出しが同一のメモリ領

域へのアクセスとなり、従来の参考技術においてバースト転送数が8の場合は図7に示すタイミングとなる。

【0042】まず、メモリ制御回路11は書き込みメモリ部を活性化するためのアクティブコマンドAをメモリアドレス・制御バス34に出力する。次に、活性化が終了した後にライトコマンドWを出力し、メモリデータバス31に書き込みデータDを8バースト連続して出力する。その書き込みデータの出力が終わるとプリチャージコマンドPを出力する。次に、プリチャージが終わると読み出しメモリ部を活性化するためのアクティブコマンドAを出力する。その活性化が終わるとリードコマンドRを出力し、メモリデータバス31に8バースト連続して読み出しデータDがシンクロナスDRAM2から出力される。そして、プリチャージコマンドPを出力し、そのプリチャージが終わると書き込みメモリ部を活性化するアクティブコマンドAを出力する。この動作を繰り返してデータの転送を行うが、同一のバンクに対するバースト転送となるため、アクティブコマンドAからプリチャージコマンドPに至る一連のシーケンスを、バーストリードおよびライトの各々が完結してから別個に実行する必要があり、バッファメモリ111をアクセスするために必要な活性化やプリチャージが大きくデータ転送の性能に影響している。

【0043】そこで、本実施の形態では、たとえば、バースト転送単位22が8バースト（単位データの8個分）の場合では、メモリ制御回路11は、シンクロナスDRAM2のバースト転送数21を4バーストとし、図1のメモリマップの様に前半と後半の4バースト毎にバンクアドレスを変える様にマッピングする。これにより、図2に示すタイミングで動作できる。

【0044】具体的には、たとえば、一例として、シンクロナスDRAM2が、バンク0とバンク1の2バンク構成で、アドレスa0～a20までの21ビット（容量が2Mバイト）の場合で、最上位ビットであるa20がバンクアドレスに割り当てられている場合、すなわち、通常のままのアドレッシングでは、ひとつのバンク0が埋まってから次のバンク1がアクセスされるような動作仕様の場合で、1バーストが4バイトで4バースト（16バイト）毎にバンクを切り換える場合には、下位アドレスa0～a3の4ビットの中のどれかと、最上位のa20とを入れ換える操作を行う制御論理をメモリ制御回路11が備えることで、8バーストの連続データの前半と後半の4バースト毎にバンク0/1が切り替わるように制御できる。

【0045】すなわち、図2に例示されるように、まず、メモリ制御回路11は、メモリアドレス・制御バス34にバンク0の活性化のためのアクティブコマンドA0を出力する。このバンク0の活性化が終わるとバンク0のライトコマンドW0を出力し、バンク0への書き込みデータD0（単位データ）を出力する。この時にバン

10

20

30

40

ク1の活性化のためのバンク1のアクティブコマンドA1を出力する。次に、バンク0へのデータが終わるとバンク1へのライトコマンドW1を出力し、バンク1への書き込みデータD1（単位データ）を出力する。また、同時にバンク0のプリチャージコマンドP0を出力し、プリチャージが終わるとバンク0を活性化するアクティブコマンドA0を出力する。バンク1への書き込みデータD1の転送が終わるとバンク1のプリチャージコマンドP1を出力し、バンク0のリードコマンドR0を出力する。そして、メモリデータバス31にバンク0の読み出しデータD0を読み出し、このデータが読み出されるのと同時にバンク1の活性化のためのアクティブコマンドA1を出力し、バンク0の次にバンク1のデータD1が出力されるようにバンク1のリードコマンドR1を出力する。次に、メモリデータバス31にバンク1のデータが読み出されると同時にバンク0のプリチャージコマンドP0を出力し、そのプリチャージが終わるとバンク0の活性化のためのアクティブコマンドA0を出力する。この動作を繰り返しておこなうことにより、活性化のためのアクティブコマンドAやプリチャージコマンドPの発行を他のバンクでのデータ転送と同時に並行して行うことができ、同一領域を交互にアクセスする場合に転送速度を上げることができる。

【0046】簡単のため、図2の本実施の形態の場合と、図7の従来の参考技術の場合とを比較すると、図7の従来の参考技術の場合には、16バースト分のデータ転送に25バースト分の時間がかかるのに対して、図2の本実施の形態の場合には、21バースト分で済むので、従来の参考技術の場合の84%の時間で済むこととなる。

【0047】このように、本実施の形態の場合には、シンクロナスDRAM2等のバッファメモリ111を経由したデータ転送速度を向上させることが可能となり、たとえば、図6の磁気ディスク記憶装置100等に適用した場合には、磁気ディスク記憶装置100と上位装置との間で授受されるデータのデータ転送速度を向上させることが可能になる。この結果、たとえば、磁気ディスク101の記録密度の向上や、上位インターフェース制御部107bにおける高速なファイバチャネル等のインターフェースに対応した高速なデータ転送を実現することができる。

【0048】次に、連続転送する連続データ範囲（たとえば磁気ディスク101における1セクタの転送単位）がバースト転送単位22の倍数で無い場合について説明する。図3は、その場合のバッファメモリ111（シンクロナスDRAM2）におけるメモリマップの一例である。

【0049】この図3の場合には、1つの連続データ範囲23が、異なるバンク0およびバンク1の容量の和の整数倍よりもデータ量241だけ短い場合であり、連続

データ範囲23の直後に次の連続データ範囲24を割り当てるに、当該連続データ範囲24では、先頭と末尾が同じバンク1に割り当たるという不都合が生じる。【0050】そこで、本実施の形態の場合には、図3のような状況では、1つの連続データ範囲23の次の連続データ範囲24を前のデータに連続させず、データ量241だけ空けて、連続データ範囲25の様に先頭の単位データのバンクが同一のバンク0に、後端の単位データがバンク1になる様に制御することにより高速転送が可能となる。

【0051】なお、上述の図3の場合には、連続データ範囲23の末尾の端数であるデータ量241だけ空き領域が発生し、メモリ容量の使用効率が低下する。

【0052】そこで、たとえば、図4に例示されるようにメモリ容量を有効に利用するためには、端数のデータ量241を生じるサイズの連続データ範囲24のデータを格納する場合には、最初の異なるバンク(端数)のデータ量241だけ連続データ範囲24の先頭部分を別にバンク末尾の空き領域に転送し、残りのバースト転送単位22を最初のバンクが同一になる様に制御することにより高速転送が可能である。

【0053】また、たとえばファイバチャネルインターフェースを用いる場合の様に上位インターフェース制御部107bの側の転送速度が、ディスクドライブ(ハードディスクコントローラ107a)側に比較して速い場合は、図5に示す様に制御することができる。

【0054】すなわち、より早い上位インターフェース制御部107bの側の転送をバンク0、バンク1、バンク0、及びバンク1の様に4バーストが2回の8バーストの転送とし、より遅いディスクドライブ側をバンク0及びバンク1の2バーストを2回の4バーストの転送とすることにより、バッファメモリ111を挟む両インターフェース間でデータ転送速度に隔たりのあるバースト転送においても高速転送が可能である。

【0055】また、本実施の形態では、バンク0およびバンク1の2バンクの場合でバースト転送単位22の最初のバンクを同一にしたが、3以上の複数バンク構成のバッファメモリにおいて、最初のバンクを偶数バンクとし、最後のバンクを奇数バンクにするなど最初と最後のバンクアドレスを異なる様に制御しても高速化ができる。

【0056】以上説明したように、本実施の形態によれば、シンクロナスDRAM2等で構成されるバッファメモリ111の同一領域の複数のデータを高速にアクセスでき、バッファメモリ111を経由したデータ転送の高速化を実現することができる。また、本実施の形態のバッファメモリ制御回路1を磁気ディスク記憶装置100のデータ転送系に採用することにより、高記録密度の磁気ディスク101を持ち大容量でファイバチャネル等の高速インターフェースに対応可能な磁気ディスク記憶装置

が実現できる。

【0057】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0058】たとえば、回転型記憶装置としては、磁気ディスク記憶装置に限らず、光ディスク装置、光磁気ディスク装置等の一般的な回転型記憶装置に広く適用することができる。

10 【0059】

【発明の効果】本発明のデータ転送制御方法によれば、バッファメモリを経由したデータ転送の高速化を実現することができる、という効果が得られる。

【0060】また、同一メモリ領域にある複数の単位データからなる連続データのアクセスの高速化により、バッファメモリを経由したデータ転送の高速化を実現することができる、という効果が得られる。

【0061】また、本発明の回転型記憶装置によれば、バッファメモリを備えた回転型記憶装置におけるデータ転送の高速化を実現することができる、という効果が得られる。

【0062】また、バッファメモリを備えた回転型記憶装置において、回転型記憶媒体のデータ記録密度の向上に応じたデータ転送の高速化を実現することができる、という効果が得られる。

【0063】また、バッファメモリを備えた回転型記憶装置において、外部インターフェースの高速化に応じたデータ転送の高速化を実現することができる、という効果が得られる。

30 【図面の簡単な説明】

【図1】本発明のデータ転送制御方法および装置の一実施形態であるディスクバッファメモリ部の構成の一例を示すブロック図である。

【図2】本発明のデータ転送制御方法および装置の作用の一例を示す概念図である。

【図3】本発明のデータ転送制御方法および装置の作用の一例を示す概念図である。

【図4】本発明のデータ転送制御方法および装置の変形例の作用の一例を示す概念図である。

【図5】本発明のデータ転送制御方法および装置の変形例の作用の一例を示す概念図である。

【図6】本発明の回転型記憶装置の一実施の形態である磁気ディスク記憶装置の構成の一例を示す概念図である。

【図7】本発明の参考技術の作用の一例を示す概念図である。

【符号の説明】

1…バッファメモリ制御回路、2…シンクロナスDRAM、11…メモリ制御回路、12…DMAコントローラ、13…FIFOメモリ部、14…FIFOメモリ

11

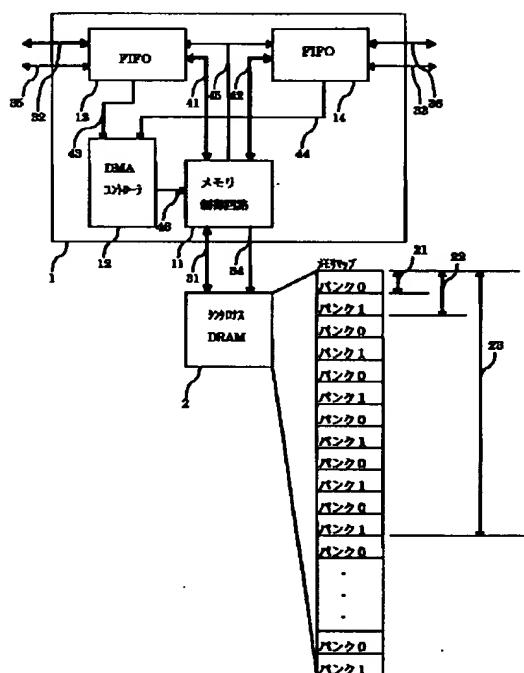
部、21…シンクロナスDRAMのバースト転送数、22…バッファメモリ制御回路のバースト転送単位、23…一つのバースト転送の連続データ範囲、24…一つのバースト転送の連続データ範囲、241…異なるバンクの容量の和に納まらない端数のデータ量、25…一つのバースト転送の連続データ範囲、31…メモリデータバス、32…データバス、33…ディスクドライブ制御バス、34…メモリアドレス・制御バス、35…上位インターフェース制御バス、36…データバス、41…IFOデータバス、42…データバス、43…ステータス信号、44…ステータス信号、45…IFOメモリデータ制御バス、46…DMAアドレス・制御バス、1

12

00…磁気ディスク記憶装置、101…磁気ディスク、102…スピンドルモータ、103…ヘッド、104…アクチュエータ、105…R/Wアンプ、106…R/WチャネルLSI、107…インターフェース制御部、107a…ハードディスクコントローラ、107b…上位インターフェース制御部、107c…バッファコントローラ、108…マイクロコンピュータ、109…サーボ制御論理、110…モータドライバ、111…バッファメモリ、112…フレキシブル・プリント・ケーブル、A10…アクティブコマンド、R…リードコマンド、W…ライトコマンド、P…プリチャージコマンド。

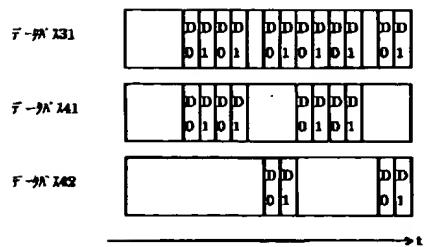
【図1】

図 1



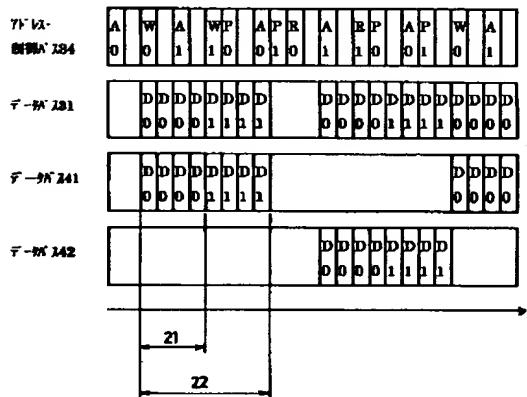
【図5】

図 5



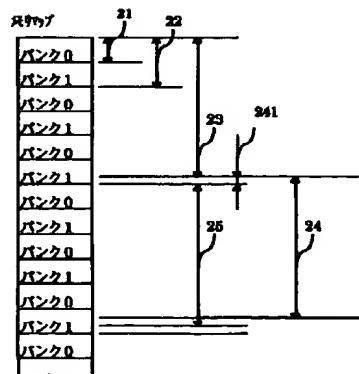
【図2】

図 2



【図3】

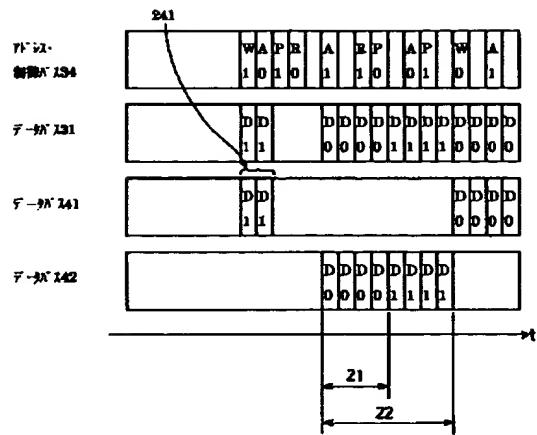
図 3



Best Available Copy

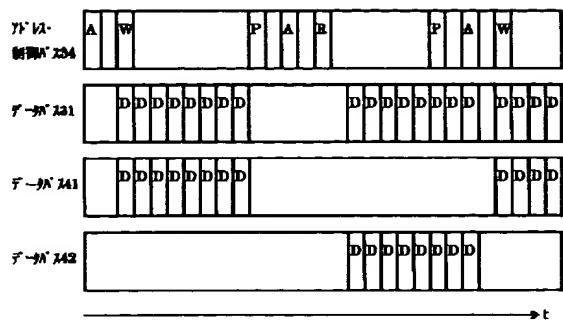
【図4】

図 4



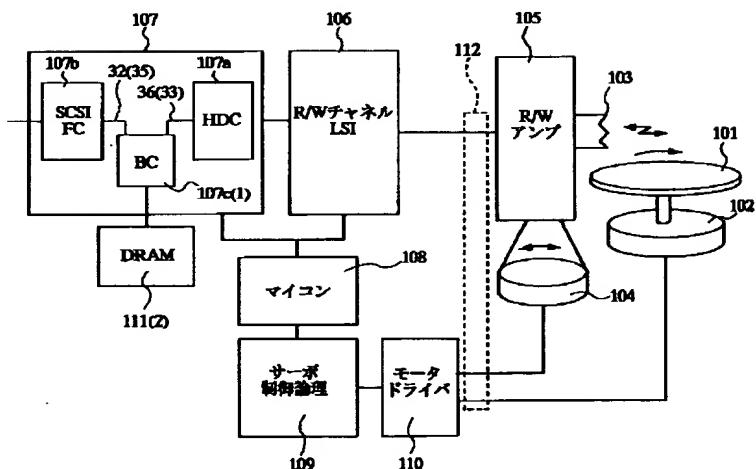
【図7】

図 7



【図6】

図 6



Best Available Copy